

KOREAN PATENT ABSTRACT (KR)

Patent Laid-Open Gazette

(51) IPC Code: G02F 1/136

(11) Publication No.: P2000-0062728

(43) Publication Date: October 25, 2000

(21) Application No.: 10-2000-0010627

(22) Application Date: March 3, 2000

(71) Applicant:

HITACHI, LTD.

(72) Inventor:

AKIMOTO, HAJIME

(54) Title of the Invention:

Image Display Device

**Abstract:**

An image display device has an insulating substrate having a matrix of pixels, and an image display section including a liquid crystal layer sandwiched between the insulating substrate and a substrate opposing the insulating substrate. The image display device includes signal lines, driver circuits for driving the matrix of pixels via the signal lines, voltage amplifiers formed by polycrystalline semiconductor TFTs and each coupled between one of the signal lines and a corresponding one of the driver circuits. The signal lines, the driver circuits and the voltage amplifiers are formed on a surface of the insulating substrate on a side thereof facing the liquid crystal layer. A channel, a source and a drain of the polycrystalline semiconductor TFTs each are formed of a polycrystalline semiconductor film. A gate insulating film and a gate electrode are superposed on the polycrystalline semiconductor film in the order named. The polycrystalline semiconductor TFTs are provided with a second region of the channel having a threshold voltage higher than a threshold voltage of a first region of the channel on a drain side thereof.

BEST AVAILABLE COPY

특 2000-0062728

## (19) 대한민국특허청(KR)

## (12) 공개특허공보(A)

(51) Int. Cl. 7  
002F 1/136(11) 공개번호 특 2000-0062728  
(43) 공개일자 2000년 10월 25일

(21) 출원번호	10-2000-0010627
(22) 출원일자	2000년 03월 03일
(30) 우선권주장	99-062679 1999년 03월 10일 일본(JP)
(71) 출원인	가부시키가이샤 히타치세이사쿠소 가나이 쓰토무 일본 도쿄도 치요다구 간다스루가다이 4조메 6반지 미카모토하지메
(72) 발명자	일본국도쿄토치요다구마루노우치1초메9번1고신마루노우치비루가부시키가이샤 히타치세이사쿠소치테키쇼유肯흔부나이 임석재
(74) 대리인	

설명구 : 있음

## (54) 화상표시장치

## 요약

화상표시장치는 홀소매트릭스가 내부 표면에 형성된 절연기판과, 이에 대합하는 기판과의 사이에 배치된 액정층을 포함한 화상표 시부를 가진다. 상기 화상표시장치는 신호선군과, 상기 신호선군을 경유해서 상기 홀소매트릭스를 구동하는 구동회로와, 상기 구동회로와, 상기 신호선군이 하나와의 사이에서 각각 결합되며, 다결정 반도체 박막 트랜지스터에 의해 구성된 전입증폭회로를 포함한다. 신호선군, 구동회로 및 전입증폭회로는 액정층에 마주하는 그 환쪽의 절연기판의 표면위에 형성되어 있다. 상기 다결정 반도체 박막 트랜지스터의 채널, 소스 및 드레인은 각각 다결정 반도체막으로 구성되어 있다. 상기 다결정 반도체막 상에 게이트 절연막 및 게이트전극이 순서대로 적층 형성되어 있다. 또한, 상기 다결정 반도체 박막 트랜지스터에는 드레인 측의 채널의 제1 영역의 문턱치전압보다 더 높은 문턱치전압을 가지는 채널의 제2 영역이 설치되어 있다.

## 도면도

## 도 1

## 작성자

화상표시장치, 구동회로, 다결정 반도체 박막 트랜지스터, 드라이버 TFT, 부하 TFT, 전류원 TFT

## 원자료

## 도면의 간단한 설명

- 도 1은 본 발명의 실시예 1의 TFT 액정표시장치의 회로구성도,
- 도 2는 본 발명의 실시예 1의 TFT 액정표시장치의 출력버퍼를 구성하는 차동증폭기의 구성도,
- 도 3은 본 발명의 실시예 1의 TFT 액정표시장치의 차동증폭기의 드라이버 TFT의 단면구조도,
- 도 4는 본 발명의 실시예 1의 TFT 액정표시장치의 차동증폭기의 드라이버 TFT의 전류전압 특성도,
- 도 5는 본 발명의 실시예 2의 TFT 액정표시장치의 출력버퍼를 구성하는 차동증폭기의 드라이버 TFT의 단면구조도,
- 도 6은 본 발명의 실시예 3의 TFT 액정표시장치의 출력버퍼를 구성하는 차동증폭기의 드라이버 TFT의 단면구조도,
- 도 7은 본 발명의 실시예 4의 TFT 액정표시장치의 출력버퍼를 구성하는 차동증폭기의 드라이버 TFT의 단면구조도,
- 도 8은 본 발명의 실시예 5의 TFT 액정표시장치의 출력버퍼를 구성하는 차동증폭기의 드라이버 TFT의 단면구조도,
- 도 9는 본 발명의 실시예 6의 TFT 액정표시장치의 회로구성도,
- 도 10은 증래기술의 TFT 액정표시장치의 회로구성도,
- 도 11은 증래기술의 TFT 액정표시장치의 홀소스워치를 구성하는 TFT의 단면구조도,

도 12는 증래기술의 출력버퍼를 구성하는 다결정 반도체 트랜지스터의 단면구조도,  
도 13은 증래기술의 TFT 액정표시장치의 출력버퍼를 구성하는 TFT의 전류전압 특성도이다.

### 발명의 상세한 설명

#### 발명의 목적

##### 쓰기는 속도와 기술분야 및 그 분야의 증래기술

본 발명은 특히, 다결정 전계효과 트랜지스터로 구성되며, 이득이 크고 고성능인 전압증폭회로를 포함하는 화상표시장치에 관한 것이다.

도 10, 도 11 및 도 12를 미용하여 증래기술에 의한 TFT(Thin-Film-Transistor) 액정표시장치를 설명한다. 도 10은 투명 절연기판(도시하지 않음) 상에 설치된 TFT 액정표시장치의 회로구조도이다. 하소는 액정용량(202)과 다결정 반도체 박막 트랜지스터로 구성된 화소소스위치(201)로 구성되어 있다. 화소소스위치(201)의 게이트는 게이트선(204)을 통해서 게이트선 주사레지스터(205)에 의해 구동된다. 화소소스위치(201)의 드레인은 신호선(203)을 통해서 신호 셀룰링 용량(210)에 접속되어 있다. 한편, 아날로그신호 입력선(212)은 신호 셀룰링(211)을 거쳐 신호 셀룰링 용량(210)에 접속되어 있고, 또한 신호 훌드 스위치(signal hold switch)(208), 신호 훌드 용량(207)을 통해서 출력버퍼(206)에 입력하고 있다. 여기서, 신호 셀룰링 스위치(211)는 신호 셀룰링 레지스터(213)에 의해 제어된다. 또, 신호 훌드 스위치(208)와 출력버퍼(206)는 신호 훌드선(209)에 의해 제어된다.

다음으로 본 증래기술의 동작을 설명한다. 아날로그신호 입력선(212)에서 입력된 아날로그 화상신호는 신호 셀룰링 레지스터(213)에 의해 순차 주사되는 신호 셀룰링 스위치(211)를 통해서 신호 셀룰링 용량(210)에 기억된다. 일행분(一一行分)의 화소신호가 신호 셀룰링 용량(210)에 기억된 후, 이들의 화상신호는 수평 블랭킹(blanking) 시간 내에 신호 훌드선(209)의 출력에 의해, 신호 훌드 스위치(208)를 통해서 신호 훌드 용량(207)에 전송되어, 출력버퍼(206)에 입력된다. 출력버퍼(206)는 입력된 신호에 따른 출력을 신호선(203)에 공급한다. 이때, 게이트선 주사레지스터(205)가 구동되며, 소정의 게이트선(204)이 선택되어 일행분의 화소소스위치(201)가 도통상태로 된다. 그 결과, 신호선(203)에 공급된 출력신호는 액정용량(202)에 기록된다.

도 11은 화소소스위치(201)의 단면구조도이다. i형역(224), n-형역(225), i형역(226)으로 채널형역이 구성되어, 그 양쪽의 p-형역으로 소스(223), 드레인(227)이 구성되어 있다. 이들은 다결정 반도체막으로 형성되어 있다. 채널형역 상에는 절연막(222)을 통해서 게이트전극(221)이 설치되어 있다. 본 증래기술의 화소소스위치(201)는 채널형역에 n-형역(225)을 설치하는 것에 의해 드레인과의 사이에 i층을 끼운 역방향 i-p-i 접합을 형성하고, 오프상태에서의 리크전류의 저감을 도모하고 있다. 이와 같은 증래기술은 일본특허공개 평 8-32069호(1996.2.2 공개)에 상세하게 개시되어 있다.

또, 일본특허공개 평 8-32069호(1996.2.2 공개)에 주변회로인 출력버퍼(206)를 다결정 반도체 박막 트랜지스터로 구성하는 기술도 개시되어 있다. 도 12에 이 트랜지스터의 단면구조를 나타낸다. 이 트랜지스터는 LDD(lightly-Doped-Drain) 구조로 구성되어 있다. 살피면 화소소스위치(201)의 트랜지스터와 구조가 다른 이유는, 이 트랜지스터는 낮은 리크전류보다도 고속동작이 요구되기 때문이다. n형역(235)으로 채널형역이 구성되어, 그 양쪽의 n-형역과 n-형역의 2개의 형역으로 소스(233, 234), 드레인(237, 236)이 구성되어 있다. 이들은 다결정 반도체막으로 형성되어 있다. 채널형역 상에는 절연막(232)을 통해서 게이트전극(231)이 설치되어 있다.

#### 쓰기는 이루고자 하는 기술적 과정

그러나, 출력버퍼(206)를 다결정 반도체 박막 트랜지스터로 구성한 경우, 이 트랜지스터의 전류전압특성을 나타내는 도 13에서 명백한 바와 같이, 드레인전압(Vds)이 핀치오프전압(pinch-off voltage)(VA)을 초과하였을 때, 드레인전류(Ids)의 실제의 값(241)은 본래의 포화특성치(242)로는 되지 않고, 이것에 비해 상당히 크게 되어 버린다는 드레인전류의 증가현상이 생기는 것이 명백하게 되었다.

이 현상의 발생원인으로서는 다음의 것을 생각할 수 있다. 도 12에서의 i형역(235)과 n-형역(236)과의 경계에는 비교적 큰 견芥가 인가되기 때문에, 이 경계영역에서 임팩트이온화(impact ionization)에 기인하는 전자·정공성이 발생한다. 발생한 정공은 채널 내에서 전자의 쌍소멸(pair annihilation)하면서 소스(234)로 향해 흐르지만, 마과정에서 드레인(236) 근방의 채널내에서의 정공의 밀도가 상승하고, 이 부분의 채널 포텐셜(potential)이 내려간다. 이 결과, 드레인전압을 올리면, 드레인(236) 근방의 외관상의 문턱전압(Vth)이 적게 되며, 드레인전류는 상기의 정공기인(正孔起因)의 전류성분만큼 증대한다.

이 드레인 전류의 증가현상은 일반적으로 부거환(negative feedback)증폭기로 구성되는 출력버퍼(206)에 영향을 미친다. 즉, 출력버ffer의 선형성(linearity)을 확보하기 위해서 증폭기의 이득을 충분히 크게 설계하지 않으면 안된다. 그러나 이 현상이 발생하면, 드레인 컨덕턴스가 비정상적으로 크게 되며, 증폭기의 고이득설계가 특히 혼란하게 되어 버린다.

#### 발명의 구성 및 작용

본 발명의 목적은 드레인전류의 증가현상을 억제한 구조의 TFT로 구성된 출력버퍼 등의 전압증폭회로를 가지는 화상표시장치를 제공하는 것에 있다.

상기 목적은 화소매트릭스가 형성된 절연기판과, 미 절연기판과 대향하는 기판과의 사이에 액정용량 설치된 화상표시장치를 가지는 화상표시장치에 있어서, 절연기판 상의 상기 액정용량에, 신호선플과, 미 신호선군을 통해서 화소매트릭스를 구동하는 구동회로와, 구동회로와 신호선군과의 사이에 설치된 다결정 반

도체 박막 트랜지스터에 의해 구성된 전압증폭회로를 형성하고, 이 다결정 반도체 박막 트랜지스터의 채널 소스 및 드레인을 다결정 반도체 막으로 구성하며, 이 다결정 반도체 막 상에 게이트절연막 및 게이트 전극을 미 순서로 적층 형성하고, 또한 거기에서 드레인 층에 존재하는 제 1의 영역보다 문턱치전압이 높은 제 2의 영역이 존재하도록 이루는 것에 의해 달성할 수 있다.

#### (실시예 1)

도 1에서 도 4를 미용하여, 본 발명의 실시예 1의 TFT 액정표시장치를 설명한다. 도 1은 투명절연기판(도시하지 않음) 상에 설치된 TFT 액정표시장치의 회로구성도이다. 화소는 액정용량(2)과 다결정 박막 트랜지스터로 구성된 화소스위치(1)로 구성되어 있다. 화소스위치(1)의 게이트는 게이트선(4)을 통해서 게이트선 주사리지스터(5)에 의해 구동된다. 화소스위치(1)의 드레인은 신호선(3)을 통해서 총력비퍼(6)에 접속되어 있다. 한편, 디지털신호 입력선(14)은 신호 샘플링 스위치(13)를 거쳐 신호 샘플링 용량(12)에 접속되어 있고, 또한 신호 훌드 스위치(10), 신호 훌드 용량(9)을 통해서 64계조(階調) 선택방식 DA변환기(7)에 입력하고 있다. 64계조 선택방식 DA변환기(7)의 출력은 총력비퍼(6)에 입력하고 있다. 또한 64계조 선택방식 DA변환기(7)에는 별도로 64계조 기준신호선(8)이 입력하고 있다. 여기서, 신호 샘플링 스위치(13)는 신호 샘플링 레지스터(15)에 의해 제어된다. 또, 신호 훌드 스위치(10)와 총력비퍼(6)는 신호 훌드선(11)에 의해 제어된다. 여기서 디지털신호 입력선(14)은 6비트분이 6개 존재한다. 따라서 신호 샘플링 스위치(13), 신호 샘플링 용량(12), 신호 훌드 스위치(10), 신호 훌드 용량(9)도 각각 각 열마다 6개 쪽 존재하지만, 여기서는 도시하지 않는다. 액정용량(2)에 관해서도, 액정이나 대향기판 등은 간략화를 위해 도시하지 않는다.

다음으로 본 실시예의 동작을 설명한다. 디지털신호 입력선(14)으로부터 입력된 디지털 화살신호는 신호 샘플링 레지스터(15)에 의해 순차 주사되는 신호 샘플링 스위치(13)를 통해서, 신호 샘플링 용량(12)에 기억된다. 일행분의 화소신호가 신호 샘플링 용량(12)에 기억된 후, 이를의 화살신호는 수평 블랭킹 기간 내에 신호 훌드선(11)의 틀럭에 의해, 신호 훌드 스위치(10)를 통해서 신호 훌드 용량(9)에 전송되며, 64계조 선택방식 DA변환기(7)에 입력된다. 64계조 선택방식 DA변환기(7)는 일종의 멀티플렉서로서 동작하고, 입력된 6비트신호에 대응하는 총력전압신호를 64계조 기준신호선으로부터 선택하고, 이 총력전압신호는 총력비퍼(6)에 입력된다. 총력비퍼(6)는 입력된 신호에 따른 출력력을 신호선(3)에 공급한다. 이 때, 게이트선 주사리지스터(5)가 구동되어, 소정의 게이트선(4)이 선택되어 일행분의 화소스위치(1)가 도통상태로 된다. 그 결과 신호선(3)에 공급된 출력신호는 액정용량(2)에 가arel 된다.

총력비퍼(6)는 차동증폭기로 구성되어 있고, 도 2에 나타내는 바와 같이 드라이버 TFT(21, 24), 부하 TFT(22, 25), 전류원 TFT(23)로 구성되어 있다. 드라이버 TFT(21, 24)의 단면구조를 도 3에 나타낸다. p-영역(34), n-영역(35)으로 채널영역이 구성되어 그 양쪽의 n-영역으로 소스(33), 드레인(36)이 구성되어 있다. 이를은 다결정 SI 반도체 막으로 형성되어 있다. 채널영역 상에는 절연막(32)을 통해서 게이트전극(31)이 설치되어 있다.

도 4에 소스(33)를 접지한 경우의 드라이버 TFT(21, 24) 단체(單體)의 전류전압 특성을 나타낸다.

도면에서 명백한 바와 같이 드레인전압(Vds)이 편치오프전압(Vo)을 초과해도 드레인전류(Id)의 실제의 값(38)은 본래의 포화특성치(39) 그대로이다. 그리고 Vd를 초과하고서 비로소 드레인전류가 증가하기 시작한다.

이와 같이 편치오프전압(Vo)을 초과하여도, 드레인전류(Id)의 실제의 값(38)이 본래의 포화특성치(39) 그대로 일정값을 유지하는 이유로서는 다음의 것을 생각할 수 있다. 드라이버 TFT(21, 24)의 n-영역(35)과 드레인(36)과의 경계에는 비교적 큰 견계가 만난다기 때문에, 그 경계영역에서는 임팩트이온화에 기인하는 전자-정공 쟁이 발생한다. 발생한 정공은 채널 내에서 전자와 쌍소멸하면서 소스(33)로 향해 흐르지만, 이 과정에서 드레인(36) 근방의 채널 내에서의 정공의 밀도가 상승하고, 이 부분의 채널 포인션을 끌어내린다. 여기까지는 품격기술에서의 설명과 동일하다. 그러나 본 실시예에서는 채널영역의 소스(33) 측에 n-영역(35)보다 문턱치전압(Vth)이 큰 p-영역(34)이 설치되어 있기 때문에 드레인전류를 성은 p-영역(34)으로 규정된다. 즉, 본 TFT의 실효적 채널을 구성하는 것은 p-영역(34)이며, n-영역(35)은 부가적으로 설치되어 있는 것에 지나지 않는다. 이 결과, 정공의 밀도상승에 의해 n-영역(35)의 Vth가 외관상 아무리 작게 되어도, 드레인전류(Id)의 실제의 값(38)은 증가하지 않고, 본래의 포화특성치(39) 그대로 일정치를 유지한다. 그리고 임팩트이온화에 의해 발생한 정공이 p-영역(34)에까지 확산하기 시작하는 천합 즉 도 4 중에서 Vd로 표시한 전압을 초과하고서 비로소 드레인전류가 증가하기 시작한다.

이와 같이 본 실시예의 TFT에서는 증대기능의 TFT에 나타나는 드레인전류의 증가현상이 나타나지 않는다. 이 결과 차동증폭기의 드라이버 TFT(21, 24)의 드레인 커넥팅선은 금히 낮은 값으로 설계하는 것이 가능하게 되며, (상호 커넥팅스)/(드레인 커넥팅스)의 값으로 근사(近似)할 수 있는 차동증폭기의 미득률을 통하여 확보하는 것이 가능하게 된다.

또한, 도 2에서 전류원 TFT(23)에도 도 3과 같은 구조를 적용하는 것이 바람직하다. 또, 부하 TFT(22, 25)에도 도 3은 p와 n을 역극성으로 한 구조를 적용하는 것이 바람직하다. 또, 이를의 TFT 중의 일부에 본 실시예의 구조를 적용해도 일정의 효과가 있다.

본 실시예에서는 드라이버 TFT(21, 24)를 n채널로 했지만, p와 n을 반대로 하는 것도 설계의 자유도로서 가능하다. 또, 코플레이너(coplanar)구조의 TFT를 이용했지만, 액스테거 등, 변형구조를 이용하는 것도 물론 영역의 위치를 빼어나지 않는 한 가능하다. 또, p-영역(34)은 소스(33)와 접하고 있지 않더라도, 양자간에 예를 들면 새로운 n-영역이 설치되어 있어도 본 발명의 효과가 얻어지는 것은 원리적으로 명백하다.

본 실시예에서는 액정표시장치의 구조에는 본질적으로는 제한은 없다. 즉 반사형, 투과형 어느 타입이라도 좋고, TN(Twisted Nematic), STN(Short-Host) 등, 여러가지 액정에 적용 가능하다.

본 실시예에서는 TFT의 드레인 커넥팅선을 제거시키는 것이 가능하지만, p-영역(34)이 소스(33)와 접하고 있기 때문에, TFT의 소스와 드레인의 접속을 반전시켰을 경우, 본 발명의 효과는 없어지고, 드레인 커넥팅선은 보다 크게 되어 버린다. 또, 보다 낮은 전압에서 소스로부터 드레인으로의 펀치스루(punch-

through)가 생기게 된다. 따라서 본 실시예에서는 소스와 드레인의 방향성을 중요하고, 차동증폭기로서 이용하는 한, 동작중에 소스와 드레인의 극성반전을 행하는 것은 바람직하지 않다.

#### (실시예 2)

본 실시예는 실시예 1의 TFT 액정표시장치에서의 차동증폭기를 구성하는 TFT의 구조를 변화시킨 것이다. 그 단면구조를 도 5에 나타낸다.

소결정입자영역(small-grained crystalline)(44), 대결정입자영역(large-grained crystalline)(45)으로 채널영역이 구성되며, 그 양측의 n+영역으로 소스(43), 드레인(46)이 구성되어 있다. 이들은 다결정 SI 반도체막으로 형성되어있다. 채널영역 상에는 게이트 접연막(42)을 통해서 게이트전극(41)이 설치되어 있다.

본 실시예에서는 채널영역에서의 결정입자(結晶粒)의 사이즈를 드레인(46) 측을 작게 하는 것에 의해, 소스(43) 측의 채널의 문턱차전압(Vth) 측을 크게 하고 있다. 이것은 결정입자계(結晶粒界)에 많이 존재하는 캐리어 포획준위에 의해 TFT의 Vth가 증가한다는 사실을 이용하여 채널영역의 소스(43) 측을 결정입자계가 많은 소결정입자영역(44)으로 한 것이다.

따라서, 본 실시예의 TFT구조에 의해서도, 원리적으로 실시예 1과 같이 임팩트이온화에 의한 드레인 컨덕터스 증가를 억제할 수 있다.

본 실시예는 블랙홀의 채널로의 도입이 불필요한 것, 드레인 단의 입계(粒界) 결합준위가 적은 것에 의해 임팩트이온화 그 자체를 적게 할 수 있는 것, 등의 이점이 있다.

또한, 본 실시예에서도 실시예 1에서 서술한 여러가지 변형이 가능하다.

#### (실시예 3)

본 실시예는 실시예 1의 TFT 액정표시장치에서의 차동증폭기를 구성하는 TFT의 구조를 변화시킨 것이다. 그 단면구조를 도 6에 나타낸다.

l영역(55)으로 채널영역이 구성되며, 그 양측의 n+영역으로 소스(53), 드레인(56)이 구성되어 있다. 이들은 다결정 SI 반도체막으로 형성되어 있다. 채널영역 상에는 게이트 접연막(52)을 통해서 게이트전극(51)이 설치되어 있다. 게이트 접연막(52)의 막두께는 드레인(56) 측보다 소스(53) 측이 두껍다.

본 실시예에서는 게이트 접연막(52)의 막두께를 드레인(56) 측보다 소스(53) 측을 두껍게 하는 것에 의해, 소스(53) 측의 채널의 문턱차전압(Vth) 측을 크게 하고 있다.

따라서, 본 실시예의 TFT구조에 의해서도, 원리적으로 실시예 1과 같이 임팩트이온화에 의한 드레인 컨덕터스 증가를 억제할 수 있다.

본 실시예는 블랙홀의 채널로의 도입이 불필요한 것, 채널막에 어떠한 가공도 불필요한 것 등의 이점이 있다.

또한, 본 실시예에서도 실시예 1에서 서술한 여러가지 변형이 가능하다.

#### (실시예 4)

본 실시예는 실시예 1의 TFT 액정표시장치에서의 차동증폭기를 구성하는 TFT의 구조를 변화시킨 것이다. 그 단면구조를 도 7에 나타낸다.

l영역(65)으로 채널영역이 구성되며, 그 양측의 n+영역으로 소스(63), 드레인(66)이 구성되어 있다. 이들은 다결정 SI 반도체막으로 형성되어 있다. 채널영역 상에는 게이트 접연막(62)을 통해서 게이트전극(61)이 설치되어 있다. l영역(65)의 막두께는 드레인(66) 측보다 소스(63) 측이 두껍다.

본 실시예에서는 l영역(65)의 막두께를 드레인(66) 측보다 소스(63) 측을 두껍게 하는 것에 의해, 소스(63) 측의 채널의 문턱차전압(Vth) 측을 크게 하고 있다. 이것은, 채널 막두께가 두껍게 되면 단위 면적 당의 캐리어 포획준위 밀도가 크게 되어 TFT의 Vth가 증가한다는 사실을 이용하여, 채널영역의 소스(63) 측을 드레인(66) 측보다 막두께를 두껍게 한 것이다.

따라서, 본 실시예의 TFT구조에 의해서도, 원리적으로 실시예 1과 같이 임팩트이온화에 의한 드레인 컨덕터스 증가를 억제할 수 있다.

본 실시예는 블랙홀의 채널로의 도입이 불필요한 것, 드레인 단의 채널영역의 막두께가 얇은 만큼 임팩트이온화의 탈생률이 적게 되는 것 등의 이점이 있다.

또한, 본 실시예에서도 실시예 1에서 서술한 여러가지의 변형이 가능하다.

#### (실시예 5)

본 실시예는 실시예 1의 TFT 액정표시장치에서의 차동증폭기를 구성하는 TFT의 구조를 변화한 것이다. 그 단면구조를 도 8에 나타낸다.

l영역(75)으로 채널영역이 구성되며, 그 양측의 n+영역으로 소스(73), 드레인(76)이 구성되어 있다. 이들은 다결정 SI 반도체막으로 형성되어 있다. 채널영역 상에는 게이트 접연막(72)을 통해서 게이트전극(71, 77)이 설치되어 있다. 여기서, 소스(73) 측의 게이트전극(71)의 일함수의 측이 드레인(76) 측의 게이트전극(77)의 일함수보다 큰 세로로 구성된다.

본 실시예에서는 게이트전극의 일함수를 드레인(76) 측보다 소스(73) 측을 크게 하는 것에 의해서, 소스(73) 측의 채널의 문턱차전압(Vth) 측을 크게 하고 있다.

따라서, 본 실시예의 TFT구조에 의해서도, 원리적으로 실시예 1과 같이 임팩트이온화에 의해 드레인 컨덕

릭스 증가를 억제할 수 있다.

본 실시예는 블루투스의 채널로의 도입이 불필요하다는 이점이 있다. 게이트전극(71, 77)은 전기적으로는 접속되어 있기 때문에 한쪽에 비교적 저항이 큰 재료를 이용했다 하더라도 전체로서는 문제는 발생하지 않는다.

또한, 본실시예에서도 실시예 1에서 서술한 여러가지의 변형이 가능하다.

#### (실시예 6)

본 발명의 다른 TFT 액정표시장치의 실시예를 도 9의 회로구성도를 이용하여 설명한다. 화소표시영역(81)을 주사하는 게이트선 주사레지스터(82), 화소표시영역(81)에 화상신호를 입력하는 신호 입력회로(84) 및 출력버퍼(83), 외부에서 입력되는 화상데이터(89) 및 유저의 리퀘스트(90)를 화상신호로 변환하여 출력하는 인터페이스 회로군(85), 화상신호의 일부를 저장하는 기억회로(87) 등이 한장의 투명절연기판(88) 상에 TFT회로로 구성되어 있다.

화상데이터는 MT-2000, IrDA, IEEE 1394 등에 준거한 무선 혹은 유선의 형태로 인터페이스 회로군(85)에 입력된다. 유저의 리퀘스트로는 유저명령과 유저로부터의 기록정보가 있다. 유저로부터의 리퀘스트가 입력되면 외부로부터의 화상데이터, 기억회로(87)에 화상신호의 형태로 저장되어 있던 화상데이터, 혹은 유저로부터의 기록정보가 화소표시영역(81)에 표시된다. 화소표시영역(81), 게이트선 주사레지스터(82), 신호 입력회로(84), 출력버퍼(83)에 관해서는 구성 및 동작도 이미 서술한 실시예 1과 같다.

이와 같이 본 실시예에 의하면, 고성능의 출력버퍼에 의해, 언제라도 유저의 리퀘스트에 따른 고품위 영상정보를 화소표시영역(81) 상에 표시할 수 있다.

#### **발명의 효과**

본 발명에 의하면, 선형성이 좋은 출력버퍼를 가지는 고품위의 화상표시장치를 실현할 수 있다.

#### (57) 첨구의 범위

##### 첨구항 1

화소매트릭스가 형성된 절연기판과,

상기 절연기판과 대향하는 기판과의 사이에 액정층이 설치된 화상표시부를 가지는 화상표시장치에 있어서,

상기 절연기판 상의 상기 액정층 측에는;

신호선군과;

상기 신호선군을 통해서 상기 화소매트릭스를 구동하는 구동회로와,

상기 구동회로와 상기 신호선군과의 사이에 설치된 다결정 반도체 박막 트랜지스터에 의해 구성된 전압증폭회로가 형성되어 있고,

상기 다결정 반도체 박막 트랜지스터는 채널, 소스 및 드레인인 다결정 반도체막으로 구성되어, 상기 다결정 반도체막 상에 게이트 절연막 및 게이트전극이 이 순서로 적층 형성되어 있고, 또한 거기에서 드레인 측에 존재하는 제1의 영역보다 문턱차전압이 높은 제2의 영역이 존재하는 것을 특징으로 하는 화상표시장치.

##### 첨구항 2

제 1 항에 있어서,

외부에서 입력되는 화상데이터 및 유저의 리퀘스트를 화상신호로 변환하여 출력하는 인터페이스 회로군 및 상기 화상신호의 일부를 저장하는 기억회로가 상기 절연기판상에 더 설치되어 있고, 상기 구동회로는 상기 화상신호를 상기 화소매트릭스에 전달하는 것을 특징으로 하는 화상표시장치.

##### 첨구항 3

제 1 항에 있어서,

상기 다결정 반도체막은 다결정 Si 반도체막인 것을 특징으로 하는 화상표시장치.

##### 첨구항 4

제 1 항에 있어서,

상기 제 2의 영역은 상기 소스에 접하고 있는 것을 특징으로 하는 화상표시장치.

##### 첨구항 5

제 1 항에 있어서,

상기 제 2의 영역보다 상기 소스 측에 상기 제 2의 영역보다 문턱차전압이 낮은 제 3의 영역이 존재하는 것을 특징으로 하는 화상표시장치.

##### 첨구항 6

제 5 항에 있어서,

상기 제 2의 영역의 상기 다결정 반도체막에는 상기 소스, 드레인과 반대의 도전형을 나타내는 불순물이 도입되어 있는 것을 특징으로 하는 화상표시장치.

청구항 7

제 6 항에 있어서,

상기 제 1의 영역 및 상기 제 3의 영역의 적어도 한쪽의 상기 다결정 반도체막에는 불순물이 특별하게는 도입되어 있지 않은 것을 특징으로 하는 화상표시장치.

청구항 8

제 5 항에 있어서,

상기 제 2의 영역의 상기 다결정 반도체막의 결정입자지를(結晶粒徑)은 상기 제 1의 영역 및 상기 제 3의 영역의 적어도 한쪽의 상기 다결정 반도체막의 결정입자지를 보다 작은 것을 특징으로 하는 화상표시장치.

청구항 9

제 5 항에 있어서,

상기 제 2의 영역의 상기 게이트 절연막의 막두께는 상기 제 1의 영역 및 상기 제 3의 영역의 적어도 한쪽의 상기 절연막의 막두께보다 두꺼운 것을 특징으로 하는 화상표시장치.

청구항 10

제 5 항에 있어서,

상기 제 2의 영역의 상기 다결정 반도체막의 막두께는 상기 제 1의 영역 및 상기 제 3의 영역의 적어도 한쪽의 상기 다결정 반도체막의 막두께보다 두꺼운 것을 특징으로 하는 화상표시장치.

청구항 11

제 5 항에 있어서,

상기 제 2의 영역의 상기 게이트전극의 일합수는 상기 제 1의 영역 및 상기 제 3의 영역의 적어도 한쪽의 상기 게이트전극의 일합수보다 큰 것을 특징으로 하는 화상표시장치.

청구항 12

화소매트릭스가 형성된 절연기판과, 상기 절연기판과 대향하는 기판과의 사이에 액정층이 설치된 화상표 시부를 가지는 화상표시장치에 있어서, 상기 절연기판 상의 상기 액정층 층에는 신호선군과, 상기 신호선군을 통해서 상기 화소매트릭스를 구동하는 구동회로와, 상기 구동회로와 상기 신호선군과의 사이에 설치된 다결정 반도체 박막 트랜지스터에 의해 구성된 전압증폭회로가 형성되어 있고, 상기 다결정 반도체 박막 트랜지스터의 드레인 컨덕턴스는 소스와 드레인의 접속을 바꾸어 넣은 경우의 측이 바꾸어 넣기전보다도 큰 것을 특징으로 하는 화상표시장치.

청구항 13

화소매트릭스가 형성된 절연기판과, 상기 절연기판과 대향하는 기판과의 사이에 액정층이 설치된 화상표 시부를 가지는 화상표시장치에 있어서, 상기 절연기판 상의 상기 액정층 층에는 신호선군과, 상기 신호선군을 통해서 상기 화소매트릭스를 구동하는 구동회로와, 상기 구동회로와 상기 신호선군과의 사이에 설치된 다결정 반도체 박막 트랜지스터에 의해 구성된 전압증폭회로가 형성되어 있고, 상기 다결정 반도체 박막 트랜지스터의 소스에서 드레인으로의 전하의 퍼치스루(punch-through)가 발생할 때의 드레인전압은 소스와 드레인의 접속을 바꾸어 넣은 경우의 측이 바꾸어 넣기전보다도 작은 것을 특징으로 하는 화상표시장치.

청구항 14

제 1 항에 있어서,

상기 다결정 반도체 박막 트랜지스터는 역 스태거(stagger)구조인 것을 특징으로 하는 화상표시장치.

청구항 15

제 4 항에 있어서,

상기 채널의 상기 제 2영역의 상기 다결정 반도체막의 결정입자 크기는 상기 채널의 상기 제 1영역의 상기 다결정 반도체막의 결정입자 크기보다 더 작은 것을 특징으로 하는 화상표시장치.

청구항 16

제 4 항에 있어서,

상기 채널의 상기 제 2 영역상의 상기 게이트 절연막의 두께는 상기 채널의 상기 제 1영역상의 상기 게이트 절연막의 두께보다 더 큰 것을 특징으로 하는 화상표시장치.

청구항 17

제 4 항에 있어서,

상기 채널의 상기 제 2 영역의 상기 다결정 반도체막의 두께는 상기 채널의 상기 제 1영역의 상기 다결정 반도체막의 두께보다 더 큰 것을 특징으로 하는 화상표시장치.

청구항 16

제 4 항에 있어서,

상기 채널의 상기 제 2영역상의 상기 게이트전극의 재료의 일함수는 상기 채널의 상기 제 1영역상의 상기 게이트전극의 재료의 일함수보다 더 높은 것을 특징으로 하는 화상표시장치.

청구항 19

제 4 항에 있어서,

상기 제 2영역의 상기 다결정 반도체막은 상기 소스 및 상기 드레인의 도전형과 반대되는 도전형의 불순물을 포함하는 것을 특징으로 하는 화상표시장치.

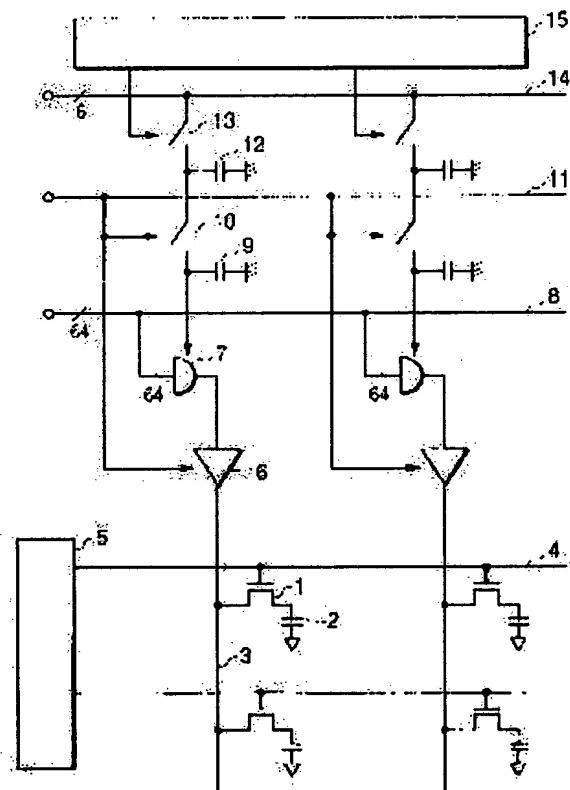
청구항 20

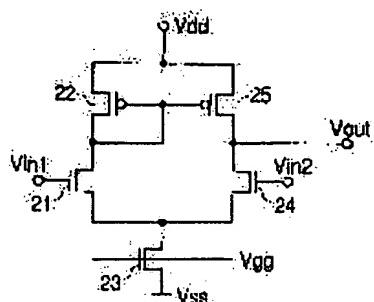
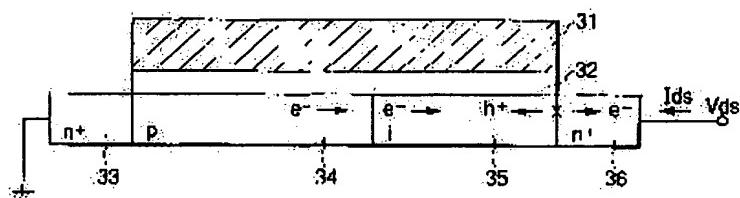
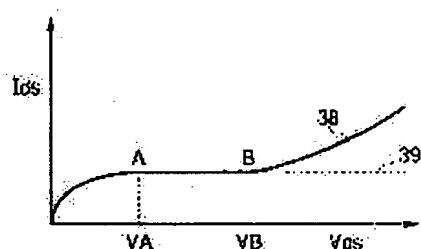
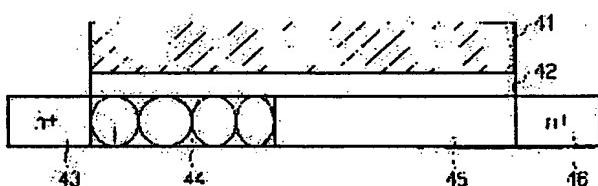
제 19 항에 있어서,

상기 제 1영역의 상기 다결정 반도체막에는 불순물이 특별하게는 도입되어 있지 않은 것을 특징으로 하는 화상표시장치.

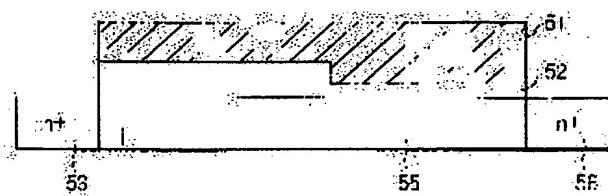
## 도면

### 도면1

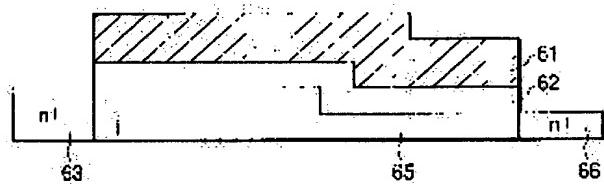


**EB2****EB3****EB4****EB5**

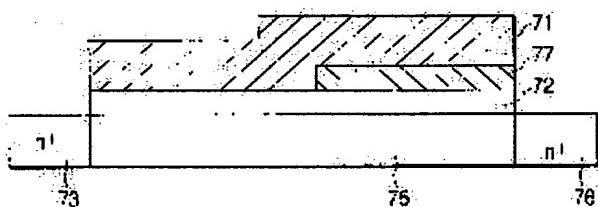
도면8



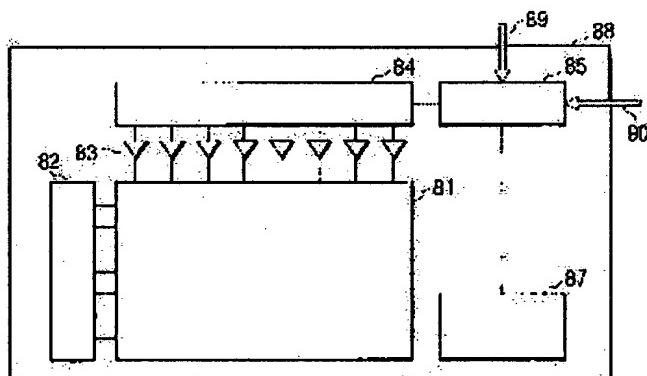
도면7



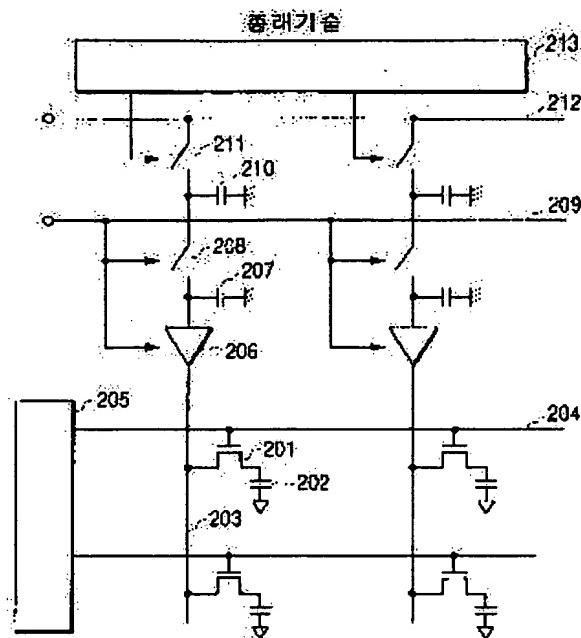
도면8



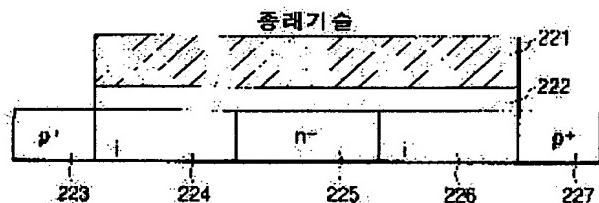
도면9



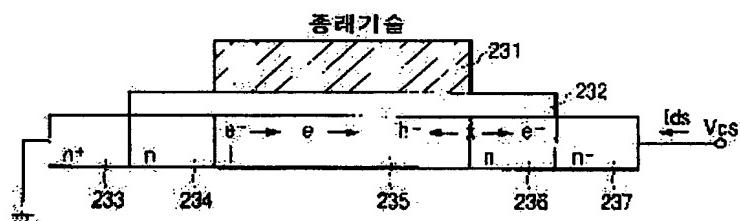
도면 10



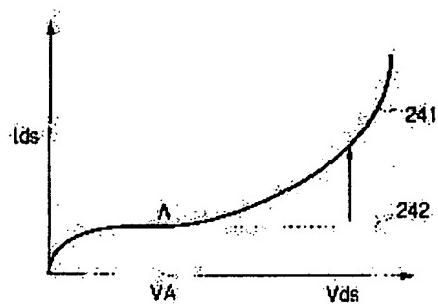
도면 11



도면 12



도면 13



11-11

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**